

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-135030

(43)Date of publication of application : 20.05.1997

(51)Int.Cl.

H01L 29/786  
H01L 21/265  
H01L 27/108  
H01L 21/8242  
H01L 27/12

(21)Application number : 07-289613

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.11.1995

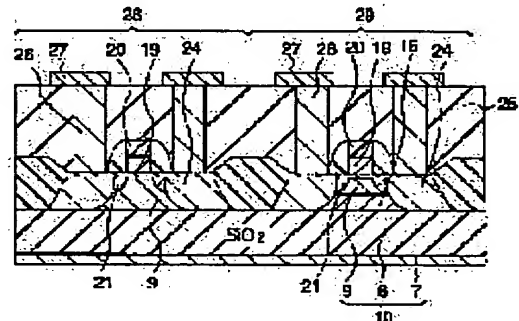
(72)Inventor : NODA HIROMASA  
SHIMOHIGASHI KATSUHIRO  
AOKI MASAKAZU  
IDEI YOJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, COMPUTER SYSTEM USING THE DEVICE AND MANUFACTURING METHOD FOR THE SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing technology for a semiconductor integrated circuit device in which a high speed and a low power are together obtained by using a perfect depletion transistor and a dielectric strength can be guaranteed by using a partial depletion transistor.

SOLUTION: A semiconductor integrated circuit device is constituted of a predetermined integrated circuit made on a SOT (silicon on insulator) substrate. By means of separate implantations under different ion implanting conditions, a left MOS transistor is made to a perfect depletion transistor 28 which has depletion in all region because of a dopant density of a channel region being low and a right MOS transistor 29 which has partial depletion in a channel region because of a dopant density of the channel region being high. By the steps the perfect depletion transistor and the partial depletion transistor are formed on the same SOI substrate 10 in the state of having different impurity densities.



## LEGAL STATUS

[Date of request for examination]

08.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] It is semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment with which a predetermined integrated circuit is produced on a SOI substrate, and is characterized by constituting the circuit which needs high pressure-proofing among said integrated circuits using a partial depletion-ized transistor, and constituting the circuit which needs low power and improvement in the speed using a perfect depletion-ized transistor.

[Claim 2] Semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment according to claim 1, and is characterized by using said semiconductor integrated circuit equipment as semiconductor memories, such as DRAM or SRAM.

[Claim 3] The computer system which is a computer system using semiconductor integrated circuit equipment according to claim 1 or 2, and is characterized by having a central processing unit, its circumference circuit, etc. at least in addition to said semiconductor integrated circuit equipment or semiconductor memory.

[Claim 4] The manufacture approach of the semiconductor integrated circuit equipment which is the manufacture approach of the semiconductor integrated circuit equipment which produces a predetermined integrated circuit on a SOI substrate, and is characterized by for said high pressure-proofing to use a partial depletion-ized transistor, and to produce a required circuit on said same SOI substrate, and to produce the circuit which needs said low power and improvement in the speed for said integrated circuit using a perfect depletion-ized transistor in distinction from the circuit which needs high pressure-proofing, and the circuit which needs low power and improvement in the speed.

[Claim 5] In case it is the manufacture approach of semiconductor integrated circuit equipment according to claim 4 and said partial depletion-ized transistor or said perfect depletion-ized transistor is produced The high impurity concentration of the silicon of the part which changes and has good control of striking the conditions of ion implantation in any direction, and forms said partial depletion-ized transistor, The manufacture approach of the semiconductor integrated circuit equipment characterized by making and dividing said partial depletion-ized transistor and said perfect depletion-ized transistor on said same SOI substrate as the high impurity concentration of the part which forms said perfect depletion-ized transistor is differed.

[Claim 6] In case it is the manufacture approach of semiconductor integrated circuit equipment according to claim 4 and said partial depletion-ized transistor or said perfect depletion-ized transistor is produced The thickness of the silicon of the part which forms said partial depletion-ized transistor using a LOCOS formation process and the same process, The manufacture approach of the semiconductor integrated circuit equipment characterized by making and dividing said partial depletion-ized transistor and said perfect depletion-ized transistor on said same SOI substrate as the thickness of the silicon of the part which forms said perfect depletion-ized transistor is differed.

[Claim 7] In case it is the manufacture approach of semiconductor integrated circuit equipment according to claim 4 and said partial depletion-ized transistor or said perfect depletion-ized transistor is produced The process which introduces an impurity locally into the embedding oxide film of said SOI substrate, embeds from there and introduces an impurity by thermal diffusion

into the single-crystal-silicon film on an oxide film is used. The high impurity concentration of the silicon of the part which forms said partial depletion-ized transistor, The manufacture approach of the semiconductor integrated circuit equipment characterized by making and dividing said partial depletion-ized transistor and said perfect depletion-ized transistor on said same SOI substrate as the high impurity concentration of the silicon of the part which forms said perfect depletion-ized transistor is differed.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention is applied to the manufacture approach of the computer system using the suitable semiconductor integrated circuit equipment and suitable it for formation of the partial depletion-ized transistor and perfect depletion-ized transistor which harnessed the advantage of this SOI substrate, and semiconductor integrated circuit equipment about a semiconductor integrated circuit technique in LSI produced on the SOI (Silicon On Insulator) substrate, and relates to an effective technique.

[0002]

[Description of the Prior Art] For example, since according to the place which the artificer examined perfect isolation becomes possible, parasitic capacitance, diffusion layer capacity, etc. between wiring-substrates can be reduced and the working speed of semiconductor integrated circuit equipment can be raised in LSI produced on the SOI substrate, it is possible that the possibility of low power and improvement in the speed hides compared with bulk LSI.

[0003] As a semiconductor integrated circuit technique produced on such a SOI substrate, the technique indicated by "IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.29, NO.11, NOVEMBER 1994 P1323-P1329", etc., for example is mentioned.

[0004]

[Problem(s) to be Solved by the Invention] By the way, in the semiconductor integrated circuit technique produced on the above SOI substrates, although a perfect depletion-ized transistor is required to pull out the engine performance of a SOI substrate, it is possible that this perfect depletion-ized transistor has low pressure-proofing. In LSI especially using a SOI substrate, it is clear as a result of an examination according [ that reservation of drain pressure-proofing is important for LSI-izing with low power and improvement in the speed ] to this invention person.

[0005] Then, the purpose of this invention is by forming a perfect depletion-ized transistor and a partial depletion-ized transistor on the same substrate to offer the manufacture approach of the computer system using the semiconductor integrated circuit equipment and it which low power can be reconciled with improvement in the speed using a perfect depletion-ized transistor, and can secure pressure-proofing using a partial depletion-ized transistor, and semiconductor integrated circuit equipment.

[0006] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [ said ] this invention.

[0007]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0008] Namely, the semiconductor integrated circuit equipment of this invention is what is applied to the semiconductor integrated circuit equipment with which a predetermined integrated circuit is produced on a SOI substrate. The circuit which needs high pressure-proofing like the word line booster circuit of an external interface or DRAM among said integrated circuits is constituted using a partial depletion-ized transistor. And the circuit which needs the low power and improvement in the speed to which only the other electrical potential difference whose

pressure was lowered is impressed is constituted using a perfect depletion-ized transistor, and is especially applied to semiconductor memories, such as DRAM or SRAM.

[0009] Furthermore, in addition to said semiconductor integrated circuit equipment or semiconductor memory, the computer system of this invention has a central processing unit, its circumference circuit, etc. at least.

[0010] Moreover, in distinction from the circuit which needs high pressure-proofing, and the circuit which needs low power and improvement in the speed, on the same SOI substrate, high pressure-proofing uses a partial depletion-ized transistor, and produces a required circuit, and the manufacture approach of the semiconductor integrated circuit equipment of this invention produces the circuit which needs low power and improvement in the speed for the predetermined integrated circuit produced on a SOI substrate using a perfect depletion-ized transistor.

[0011] Concretely, in case said partial depletion-ized transistor or a perfect depletion-ized transistor is made and divided on the same SOI substrate Use a LOCOS formation process and the same process (recess array), or [ changing and having good control of striking the conditions of ion implantation in any direction ] It is made different [ the high impurity concentration or thickness of silicon ] using the process which introduces an impurity locally, embeds from there and furthermore introduces an impurity by thermal diffusion into the single-crystal-silicon thin film on an oxide film into the embedding oxide film of a SOI substrate.

[0012] That is, in a partial depletion-ized transistor or a perfect depletion-ized transistor, although a perfect depletion-ized transistor is a transistor which can harness the advantage of a SOI substrate most, and a partial depletion-ized transistor is inferior in the engine performance as a transistor by there being a fault that drain pressure-proofing is low compared with a perfect depletion-ized transistor to this, reservation of drain pressure-proofing is possible.

[0013] Therefore, according to this invention, it can make it possible to form a perfect depletion-ized transistor and a partial depletion-ized transistor on the same SOI substrate, and pressure-proofing can be secured in the circuit where low power is reconciled with improvement in the speed, and high pressure-proofing like the word line booster circuit of an external interface or DRAM is needed for the circuit where only the electrical potential difference whose pressure was lowered inside is impressed using a perfect depletion-ized transistor using a partial depletion-ized transistor.

[0014]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing.

[0015] (Gestalt 1 of operation) The outline functional block diagram showing the semiconductor integrated circuit equipment whose drawing 1 is the gestalt 1 of operation of this invention, the circuit diagram showing an example of a data output circuit [ in / in drawing 2 / the gestalt 1 of this operation ], drawing 3 - drawing 10 are the sectional views showing the production process of the MOS transistor in the gestalt 1 of this operation.

[0016] First, drawing 1 explains the outline configuration of the semiconductor integrated circuit equipment of the gestalt 1 of this operation.

[0017] The semiconductor integrated circuit equipment of the gestalt 1 of this operation is used as the semiconductor integrated circuit equipment with which a predetermined integrated circuit is produced for example, on a SOI substrate. It consists of an internal circuitry 1, an input/output interface 2, a pressure-lowering circuit 3, etc. The internal circuitry 1 to which only the electrical potential difference whose pressure was lowered inside is impressed is constituted only using a perfect depletion-ized transistor. The pressure-lowering circuit 3 of an input/output interface 2 or an external power and the high pressure part [ need / still / an internal circuitry 1 / to be high pressure=proofed ] 4 are constituted including a partial depletion-ized transistor, and are formed on the SOI substrate with same these perfect depletion-ized transistors and partial depletion-ized transistor.

[0018] In addition, in that case, since the electrical potential difference of an external power can be prevented from an input/output interface 2 and the pressure-lowering circuit 3 starting as it is between the source drains of a transistor by devising a circuit, the part using a partial

depletion-ized transistor will be restricted to a word line electrical-potential-difference booster circuit etc., if it says by the circuit block of the high pressure part 4 which needs high pressure-proofing of an internal circuitry 1, for example, DRAM.

[0019] Concretely, an internal circuitry 1 and the data output circuit in an input/output interface 2 are used as a well-known capacitor pressure-up mold, as shown in drawing 2, the left half in drawing is the output section 5 of an internal circuitry 1, and in order that this part may operate using the power source whose pressure was lowered, a perfect depletion-ized transistor is used. The data out signals RD/RD from this internal circuitry 1 are outputted by AND actuation through the AND gate with the activation signal phi of an output stage.

[0020] On the other hand, the right half in drawing 2 is the external output section 6 of an input/output interface 2, and since a power source uses an external power source as it is, therefore an external high electrical potential difference is impressed as it is between the source drains of a transistor, the partial depletion-ized transistor of high pressure-proofing is used. In this external output section 6, the data out signal from an internal circuitry 1 is inputted into a nMOS transistor, respectively, it connects with a nMOS transistor only through the inverter connected to juxtaposition at the delay circuit tau 1 and capacitor by which the series connection was carried out further, a CMOS transistor, and a delay circuit tau 2, respectively, and the data signal from the connection node of these nMOS transistors to the exterior is outputted.

[0021] Next, drawing 3 - drawing 10 explain the production process of the MOS transistor which constitutes the important section of said semiconductor integrated circuit equipment about an operation of the gestalt 1 of this operation.

[0022] In the component sectional view of the MOS transistor of introduction, drawing 3 - drawing 10, since a left-hand side MOS transistor has the low dopant concentration of a channel field, the whole field is the depletion-ized perfect depletion-ized transistor. On the other hand, since a right-hand side MOS transistor has the field where dopant concentration is high to a channel field, a channel field is a partial depletion-ized transistor which is not formed into partial depletion. That is, said two kinds of transistors are formed on the same SOI substrate by changing ion implantation conditions.

[0023] Hereafter, the manufacture approach of the MOS transistor of the gestalt 1 this operation is explained about an n channel. In addition, since it can make from the same process also about a p channel if the conductivity type of a dopant is made reverse, it is also possible by adding a photograph process to form the circuit of a complementary type on the same SOI substrate.

[0024] first, the upper layer of a silicon single crystal 7 -- SiO<sub>2</sub> from -- the front face of the SOI substrate 10 with which the becoming embedding oxide film 8 is formed, and the single-crystal-silicon thin film 9 is further formed in the upper layer -- oxidizing -- SiO<sub>2</sub> An oxide film 11 is formed. and the upper layer -- for example, Si<sub>3</sub>N<sub>4</sub> etc. -- the silicon nitride 12 is deposited and the silicon nitride 12 which has covered except the part which serves as a component field using a photograph process is removed ( drawing 3 ).

[0025] then, the part which oxidizes thermally and is equivalent to opening of the silicon nitride 12 of drawing 3 -- for example, SiO<sub>2</sub> from -- the becoming isolation oxide film 13 is formed ( drawing 4 ). after [ and ] removing the silicon nitride 12 by wet etching and removing an oxide film 11 further -- anew -- SiO<sub>2</sub> etc. -- an oxide film 14 is formed by thermal oxidation ( drawing 5 ).

[0026] Then, the high concentration impurity layer 16 is formed only in the component field which forms a partial depletion-ized transistor by ion implantation, covering the resist mask 15 over the part of the component field which forms a perfect depletion-ized transistor like drawing 5. It is devoted so that peak concentration may be abbreviation  $1 \times 10^{18} \text{cm}^{-3}$ , the boron which is p mold impurity may specifically be embedded with the single-crystal-silicon thin film 9 and concentration may become max by the interface of an oxide film 8.

[0027] And the polycrystalline silicon film 17 and silicon oxide 18 are deposited with a well-known CVD method ( drawing 6 ). Since this polycrystalline silicon film 17 serves as a gate electrode behind, before it performs impurity installation together at the time of deposition or

deposits silicon oxide 18 after deposition, it processes carrying out ion implantation and carrying out activation annealing etc.

[0028] Furthermore, silicon oxide 18 and the polycrystalline silicon film 17 are processed into the configuration of the gate electrodes 19 and 20 like drawing 7 using a photograph process. And ion implantation, such as arsenic which is n mold impurity, is performed by using the gate electrodes 19 and 20 as a mask, for example, the source drain 21 is formed ( drawing 7 ).

[0029] Then, an oxide film 22 is deposited with a well-known CVD method ( drawing 8 ). If anisotropy dry etching is performed in this condition, the side-attachment-wall oxide film 23 will remain only in the side attachment wall of the gate electrodes 19 and 20 like drawing 9 . And the ion implantation of the 2nd source drain is performed by using the gate electrodes 19 and 20 as a mask, and the source drain 24 is formed. This 2nd ion implantation is for forming the source drain 24 into low resistance.

[0030] the last -- for example, SiO<sub>2</sub> etc. -- from -- the becoming interlayer insulation film 25 is deposited, opening of the contact hole is carried out towards the aforementioned gate electrodes 19 and 20 and the source drain 24, backfilling and wiring 27 are formed in this contact hole for the metals 26, such as aluminum and a tungsten, and a semiconductor device is completed ( drawing 10 ).

[0031] Since the whole field serves as the depletion-ized perfect depletion-ized transistor 28 by changing the conditions of ion implantation as mentioned above, and having good control of striking a ball in any direction since a left-hand side MOS transistor has the low dopant concentration of a channel field in drawing 10 , and a right-hand side MOS transistor has the field where dopant concentration is high to a channel field, a channel field serves as the partial depletion-ized transistor 29 which is not formed into partial depletion.

[0032] Therefore, since according to the semiconductor integrated circuit equipment of the gestalt 1 of this operation the perfect depletion-ized transistor 28 and the partial depletion-ized transistor 29 can be formed on the same SOI substrate 10 as high impurity concentration differs Improvement in the speed and low power can be reconciled using the perfect depletion-ized transistor 28 which can harness the advantage of the SOI substrate 10 most, and reservation of drain pressure-proofing can be enabled using the partial depletion-ized transistor 29 with which the fault of the perfect depletion-ized transistor 28 of a parenthesis is compensated.

[0033] Since high impurity concentration can be changed and the perfect depletion-ized transistor 28 and the partial depletion-ized transistor 29 can be especially formed in the manufacture approach of the gestalt 1 this operation, in the field of a manufacture process, the increment in a production process is suppressed to minimum, and formation of semiconductor integrated circuit equipment is attained simply.

[0034] In addition, when this semiconductor integrated circuit equipment is applied to DRAM or SRAM and high pressure-proofing like a word line booster circuit uses the partial depletion-ized transistor 29 for a required circuit, improvement in the speed, low power, and the semiconductor memory whose pressure-proof reservation is enabled are realizable.

[0035] (Gestalt 2 of operation) Drawing 11 - drawing 14 are the sectional views showing the production process of the MOS transistor in the semiconductor integrated circuit equipment which is the gestalt 2 of operation of this invention.

[0036] The semiconductor integrated circuit equipment of the gestalt 2 of this operation is used as the semiconductor integrated circuit equipment with which a predetermined integrated circuit is produced on a SOI substrate like the gestalt 1 of said operation. The difference with the gestalt 1 of operation The thickness of the silicon of the part which forms a partial depletion-ized transistor using a LOCOS formation process and the same process (recess array), It is the point which makes and divides a partial depletion-ized transistor and a perfect depletion-ized transistor on the same SOI substrate as differ the thickness of the silicon of the part which forms a perfect depletion-ized transistor, and was formed.

[0037] That is, with the semiconductor integrated circuit equipment of the gestalt 2 of this operation, in the component sectional view of the MOS transistor of drawing 11 - drawing 14 , since a left-hand side MOS transistor has the thin thickness of a channel field, the whole field is the depletion-ized perfect depletion-ized transistor. On the other hand, since a right-hand side

MOS transistor has the thick thickness of a channel field, a channel field is a partial depletion-ized transistor which is not formed into partial depletion. That is, said two kinds of transistors are formed on the same SOI substrate by changing the thickness of the single-crystal-silicon thin film on an embedding oxide film.

[0038] Hereafter, the manufacture approach of the MOS transistor of the gestalt 2 this operation is explained about an n channel. If the conductivity type of a dopant is made reverse, since it can make from the same process also about a p channel, it is also possible by adding a photograph process to form the circuit of a complementary type on the same SOI substrate.

[0039] first, the upper layer of for example, silicon single crystal 7a -- SiO<sub>2</sub> from -- the front face of SOI substrate 10a where becoming embedding oxide-film 8a is formed, and single-crystal-silicon thin film 9a is further formed in the upper layer is oxidized, and oxide-film 11a is formed ( drawing 11 ). And a difference is prepared in single-crystal-silicon thin film 9a of the field which forms a perfect depletion-ized transistor, and the field which forms a partial depletion-ized transistor using a well-known selective oxidation method.

[0040] That is, silicon nitride 12a is deposited on oxide film 11a, it leaves silicon nitride 12a of the part which forms a partial depletion-ized transistor by the photograph process and etching, and silicon nitride 12a of the part which forms a perfect depletion-ized transistor is removed and washed.

[0041] Then, it oxidizes thermally and the silicon oxide 30 of the part which forms a perfect depletion-ized transistor is formed ( drawing 12 ). Since single-crystal-silicon thin film 9a which embeds with silicon oxide 30 and remains between oxide film 8a at this time becomes the component field of a perfect depletion-ized transistor, oxidation conditions are adjusted so that this single-crystal-silicon thin film 9a may not disappear by thermal oxidation.

[0042] Then, it will be set to SOI substrate 10a which has a desired thickness difference if wet etching removes silicon nitride 12a and silicon oxide 30 ( drawing 13 ). The semiconductor device shown in drawing 14 is completed after this according to an isolation process, a gate formation process, a source drain formation process, an interlayer insulation film formation process, and a wiring process as well as the gestalt 1 of said operation.

[0043] As shown in drawing 14 , namely, on SOI substrate 10a Isolation oxide-film 13a, silicon oxide, and the gate electrodes 19a and 20a by polycrystalline silicon, Source drain 21a, side-attachment-wall oxide-film 23a of the gate electrodes 19a and 20a, Source drain 24a and interlayer insulation film 25a are formed in order, and the contact hole by which opening was carried out to the last towards the gate electrodes 19a and 20a and source drain 24a completes metal 26a by forming backfilling and wiring 27a.

[0044] Using a LOCOS formation process and the same process, since a left-hand side MOS transistor has [ in / as mentioned above / drawing 14 ] the thin thickness of a channel field, the whole field is set to depletion-ized perfect depletion-ized transistor 28a, and since a right-hand side MOS transistor has the thick thickness of a channel field, a channel field is set to partial depletion-ized transistor 29a which is not formed into partial depletion.

[0045] Therefore, since according to the semiconductor integrated circuit equipment of the gestalt 2 of this operation perfect depletion-ized transistor 28a and partial depletion-ized transistor 29a can be formed on the same SOI substrate 10a as thickness differs Improvement in the speed and low power are reconciled using perfect depletion-ized transistor 28a which can harness the advantage of SOI substrate 10a most like the gestalt 1 of said operation, and it becomes securable [ drain pressure-proofing ] using partial depletion-ized transistor 29a with which the fault of perfect depletion-ized transistor 28a of a parenthesis is compensated.

[0046] Since thickness can be changed and perfect depletion-ized transistor 28a and partial depletion-ized transistor 29a can be especially formed in the manufacture approach of the gestalt 2 this operation, in the design side of semiconductor integrated circuit equipment, design control becomes possible easily.

[0047] As mentioned above, although invention made by this invention person was concretely explained based on the gestalten 1-2 of implementation of invention, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary.



[0048] For example, although the case where it was made for high impurity concentration to differ by embedding boron with a single-crystal-silicon thin film, making its concentration become max by the interface of an oxide film, and changing ion implantation conditions about the semiconductor integrated circuit equipment of the gestalt 1 of said operation was explained. This invention is not limited to the gestalt of said operation, can perform ion implantation on the energy conditions which boron embeds completely and enter into an oxide film, and can apply it also about the case where an impurity layer is formed by the impurity diffusion from an embedding oxide film, as a result of a consecutive heat process.

[0049] In this case, it becomes possible to form steeper impurity distribution compared with the gestalt 1 of said operation, and is advantageous also to adjustment of threshold voltage, or control of a short channel effect. Moreover, also in a manufacture process and the field of a design, although effectiveness is small compared with the gestalten 1 and 2 of said operation, simplification of a manufacture process and easy-ization of a design can be attained.

[0050] Furthermore, it is widely used as a store of various systems, such as not only when used in store units, such as DRAM or SRAM, but a computer system, a digital still camera system, an automobile system, etc., and drawing 15 explains a computer system as an example.

[0051] This computer system is constituted by SRAM as DRAM of this invention as a bus, a central processing unit CPU, a peripheral-device control section, and primary-storage memory and its control section, and a backup memory and backup parity and its control section, ROM in which the program is stored, the display system, etc. in drawing 15.

[0052] Said peripheral-device control section is connected with external storage, Keyboard KB, etc. Moreover, a display system is constituted by the Video RAM (VRAM) etc. and presenting of the storage information in VRAM is performed by connecting with the display as an output unit. Moreover, the current supply section for supplying a power source to the internal circuitry of a computer system is prepared.

[0053] Said central processing unit CPU performs timing control of each of said memory of operation by forming the signal for controlling each memory. Although the example which applied said invention to DRAM as primary-storage memory was explained here, when VRAM of said display system is Multiport VRAM, it is also possible to apply to the random access section of said VRAM.

[0054]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0055] (1) Since a perfect depletion-ized transistor and a partial depletion-ized transistor can be formed on the same SOI substrate. In the circuit where only the electrical potential difference whose pressure was lowered inside is impressed, improvement in the speed and low power are reconciled using a perfect depletion-ized transistor. It becomes possible to secure pressure-proofing using a partial depletion-ized transistor, and it becomes possible to aim at improvement in the synthetic circuit engine performance in the circuit for which high pressure-proofing like an external interface is needed taking advantage of the advantage using a SOI substrate to the maximum extent.

[0056] (2) In case a partial depletion-ized transistor and a perfect depletion-ized transistor are made and divided on the same SOI substrate, by changing the conditions of ion implantation and making its high impurity concentration differ, the increment in a production process is suppressed to minimum, and formation of the semiconductor integrated circuit equipment by the easy manufacture process is attained.

[0057] (3) In case a partial depletion-ized transistor and a perfect depletion-ized transistor are made and divided on the same SOI substrate, by making its thickness differ using a LOCOS formation process and the same process (recess array), design control is made easy and formation of the semiconductor integrated circuit equipment by easy design is attained.

[0058] (4) In case a partial depletion-ized transistor and a perfect depletion-ized transistor are made and divided on the same SOI substrate, simplification of the manufacture process in formation of semiconductor integrated circuit equipment and easy-ization of a design are attained by making its high impurity concentration differ using the process which introduces an

impurity locally into the embedding oxide film of a SOI substrate, embeds from there and introduces an impurity by thermal diffusion into the single-crystal-silicon thin film on an oxide film.

[0059] (5) . above (1) – (4) Formation of partial depletion in which the advantage of a SOI substrate was harnessed, and formation of a perfect depletion-ized transistor, The semiconductor integrated circuit equipment which furthermore adopted a manufacture process and the effectiveness in the field of a design to the maximum extent, Especially, the good manufacture approach can be acquired to semiconductor memories, such as DRAM or SRAM, and it becomes possible to obtain various systems, such as a computer system which the functionality by the low power, improvement in the speed, etc. which used this further can improve.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] It is the outline functional block diagram showing the semiconductor integrated circuit equipment which is the gestalt 1 of operation of this invention.

[Drawing 2] It is the circuit diagram showing an example of the data output circuit in the gestalt 1 of operation.

[Drawing 3] It is the sectional view showing the production process of the MOS transistor in the gestalt 1 of operation.

[Drawing 4] It is the sectional view showing the production process ( drawing 3 is followed) of the MOS transistor in the gestalt 1 of operation.

[Drawing 5] It is the sectional view showing the production process ( drawing 4 is followed) of the MOS transistor in the gestalt 1 of operation.

[Drawing 6] It is the sectional view showing the production process ( drawing 5 is followed) of the MOS transistor in the gestalt 1 of operation.

[Drawing 7] It is the sectional view showing the production process ( drawing 6 is followed) of the MOS transistor in the gestalt 1 of operation.

[Drawing 8] It is the sectional view showing the production process ( drawing 7 is followed) of the MOS transistor in the gestalt 1 of operation.

[Drawing 9] It is the sectional view showing the production process ( drawing 8 is followed) of the MOS transistor in the gestalt 1 of operation.

[Drawing 10] It is the sectional view showing the production process ( drawing 9 is followed) of the MOS transistor in the gestalt 1 of operation.

[Drawing 11] It is the sectional view showing the production process of the MOS transistor in the semiconductor integrated circuit equipment which is the gestalt 2 of operation of this invention.

[Drawing 12] It is the sectional view showing the production process ( drawing 11 is followed) of the MOS transistor in the semiconductor integrated circuit equipment which is the gestalt 2 of operation.

[Drawing 13] It is the sectional view showing the production process ( drawing 12 is followed) of the MOS transistor in the semiconductor integrated circuit equipment which is the gestalt 2 of operation.

[Drawing 14] It is the sectional view showing the production process ( drawing 13 is followed) of the MOS transistor in the semiconductor integrated circuit equipment which is the gestalt 2 of operation.

[Drawing 15] It is the functional block diagram showing the computer system using the semiconductor integrated circuit equipment which is this invention.

**[Description of Notations]**

1 Internal Circuitry

2 Input/output Interface

3 Pressure-Lowering Circuit

4 High Pressure Part

5 Output Section

6 External Output Section  
7 7a Silicon single crystal  
8 8a Embedding oxide film  
9 9a Single-crystal-silicon thin film  
10 10a SOI substrate  
11 11a Oxide film  
12 12a Silicon nitride  
13 13a Isolation oxide film  
14 Oxide Film  
15 Resist Mask  
16 High Concentration Impurity Layer  
17 Polycrystalline Silicon Film  
18 Silicon Oxide  
19, 19a, 20, 20a Gate electrode  
21 21a Source drain  
22 Oxide Film  
23 23a Side-attachment-wall oxide film  
24 24a Source drain  
25 25a Interlayer insulation film  
26 26a Metal  
27 27a Wiring  
28 28a Perfect depletion-ized transistor  
29 29a Partial depletion-ized transistor  
30 Silicon Oxide

---

[Translation done.]

\* NOTICES \*

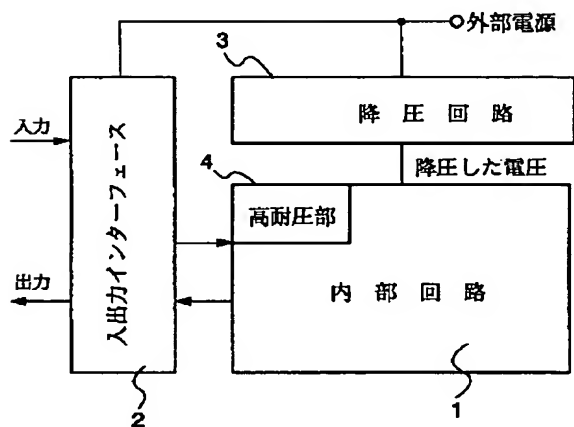
Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

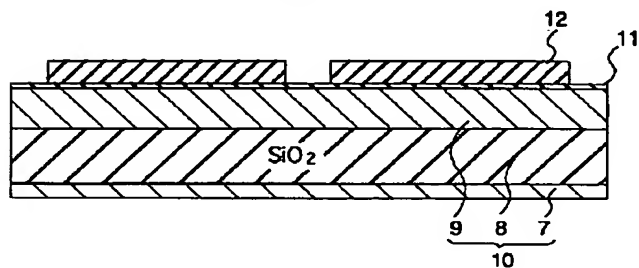
[Drawing 1]

図 1



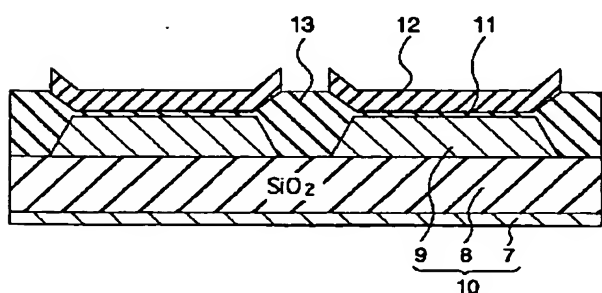
[Drawing 3]

図 3



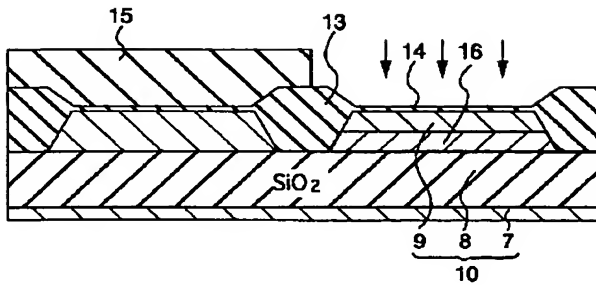
[Drawing 4]

図 4



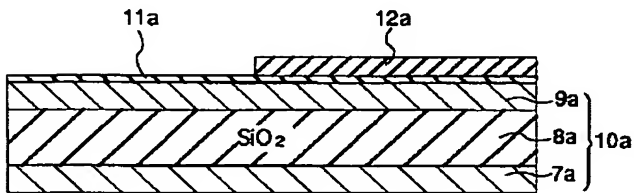
[Drawing 5]

図 5



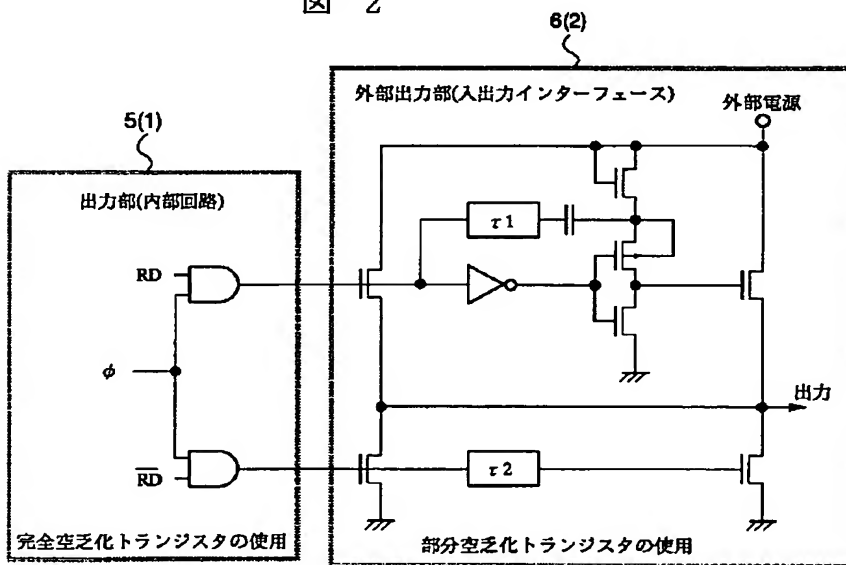
[Drawing 11]

図 11



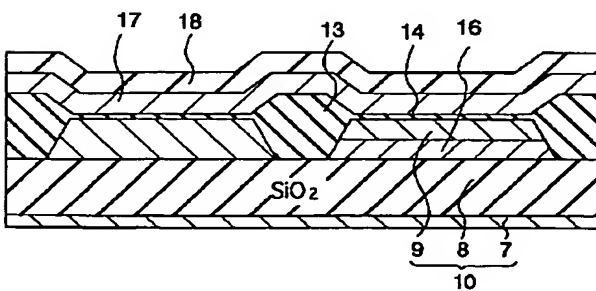
[Drawing 2]

図 2



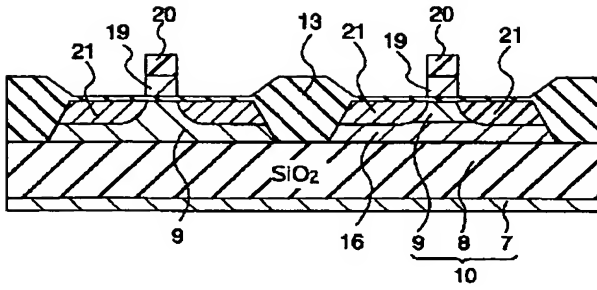
[Drawing 6]

図 6



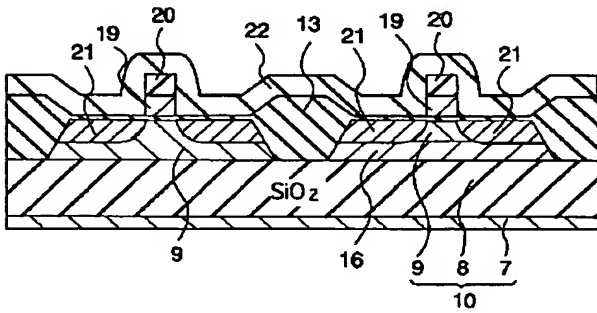
[Drawing 7]

図 7



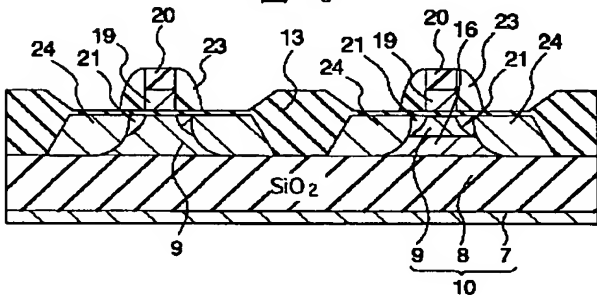
[Drawing 8]

図 8



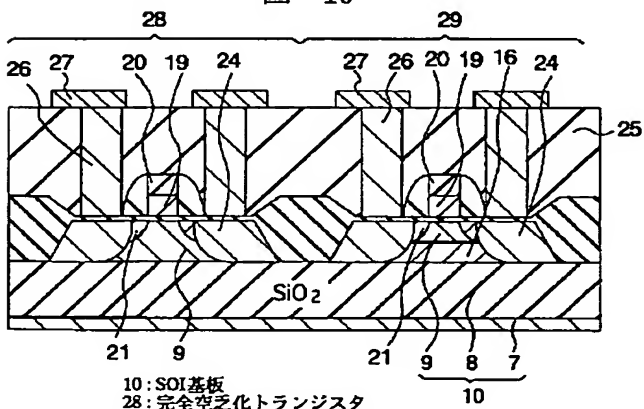
[Drawing 9]

図 9



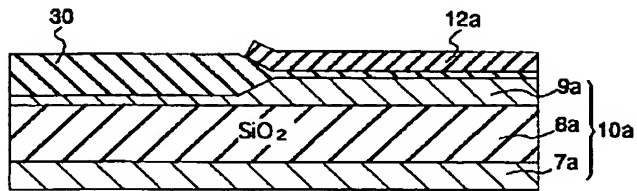
[Drawing 10]

図 10



10: SOI基板  
28: 完全窒化トランジスタ  
29: 部分窒化トランジスタ

[Drawing 12]



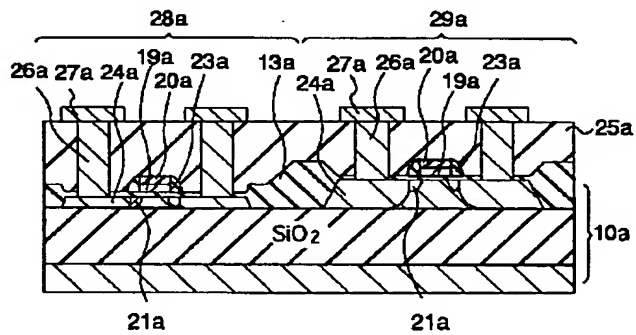
[Drawing 13]

圖 13



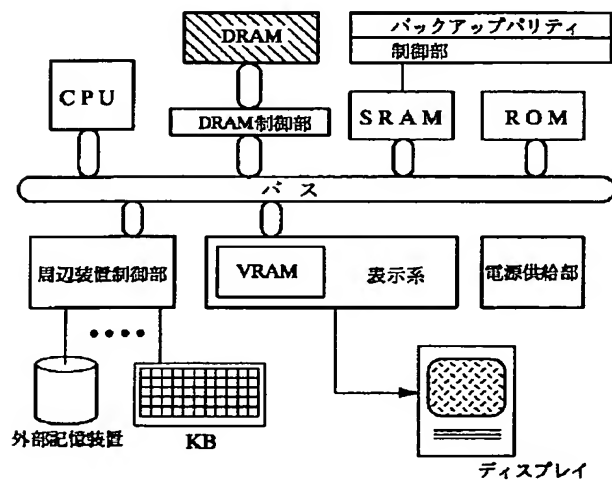
[Drawing 14]

圖 14



**[Drawing 15]**

图 15





(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-135030

(43)公開日 平成9年(1997)5月20日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/786		H 0 1 L 29/78	6 1 3 Z
	21/265		27/12	Z
	27/108		21/265	P
	21/8242			A
	27/12		27/10	6 7 1 C
審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く				

(21)出願番号 特願平7-289613

(22)出願日 平成7年(1995)11月8日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 野田 浩正

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 下東 勝博

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 青木 正和

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 弁理士 筒井 大和

最終頁に続く

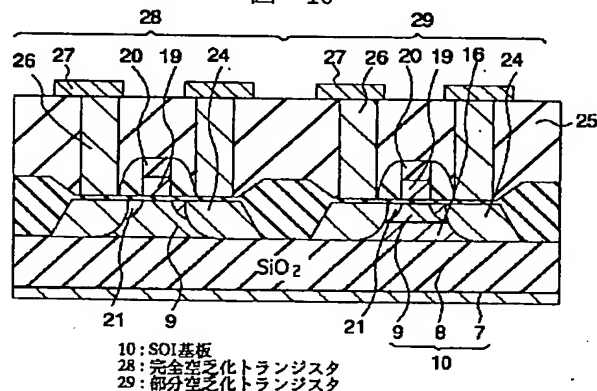
(54)【発明の名称】 半導体集積回路装置およびそれを用いたコンピュータシステム、ならびに半導体集積回路装置の製造方法

(57)【要約】

【課題】 完全空乏化トランジスタを用いて高速化と低電力を両立させ、かつ部分空乏化トランジスタを用いて耐圧が確保できる半導体集積回路装置の製造技術を提供する。

【解決手段】 SOI基板上に所定の集積回路が作製される半導体集積回路装置であって、イオン打ち込みの条件を変えて打ち分けることで、左側のMOSトランジスタはチャネル領域のドーパント濃度が低いため、領域全体が空乏化している完全空乏化トランジスタ28となり、右側のMOSトランジスタは、チャネル領域にドーパント濃度が高い領域を有するため、チャネル領域は部分的にしか空乏化しない部分空乏化トランジスタ29となり、これにより完全空乏化トランジスタ28と部分空乏化トランジスタ29とが、不純物濃度を異なるようにして同一のSOI基板10上に形成されている。

図 10



【特許請求の範囲】

【請求項1】 SOI基板上に所定の集積回路が作製される半導体集積回路装置であって、前記集積回路のうち、高耐圧が必要な回路は部分空乏化トランジスタを用いて構成し、かつ低電力・高速化が必要な回路は完全空乏化トランジスタを用いて構成することを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記半導体集積回路装置を、DRAMまたはSRAMなどの半導体記憶装置とすることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置を用いたコンピュータシステムであって、前記半導体集積回路装置または半導体記憶装置に加えて、少なくとも、中央処理装置およびその周辺回路などを有することを特徴とするコンピュータシステム。

【請求項4】 SOI基板上に所定の集積回路を作製する半導体集積回路装置の製造方法であって、前記集積回路を高耐圧が必要な回路と低電力・高速化が必要な回路とに区別し、同一の前記SOI基板上に、前記高耐圧が必要な回路を部分空乏化トランジスタを用いて作製し、かつ前記低電力・高速化が必要な回路を完全空乏化トランジスタを用いて作製することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項4記載の半導体集積回路装置の製造方法であって、前記部分空乏化トランジスタまたは前記完全空乏化トランジスタを作製する際に、イオン打ち込みの条件を変えて打ち分け、前記部分空乏化トランジスタを形成する部分のシリコンの不純物濃度と、前記完全空乏化トランジスタを形成する部分の不純物濃度とを異なるようにして、前記同一のSOI基板上に前記部分空乏化トランジスタと前記完全空乏化トランジスタとを作り分けることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項4記載の半導体集積回路装置の製造方法であって、前記部分空乏化トランジスタまたは前記完全空乏化トランジスタを作製する際に、LOCOS形成プロセスと同様のプロセスを用いて、前記部分空乏化トランジスタを形成する部分のシリコンの膜厚と、前記完全空乏化トランジスタを形成する部分のシリコンの膜厚とを異なるようにして、前記同一のSOI基板上に前記部分空乏化トランジスタと前記完全空乏化トランジスタとを作り分けることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項4記載の半導体集積回路装置の製造方法であって、前記部分空乏化トランジスタまたは前記完全空乏化トランジスタを作製する際に、前記SOI基板の埋め込み酸化膜中に局所的に不純物を導入し、そこから埋め込み酸化膜上の単結晶シリコン薄膜中に熱拡散により不純物を導入するプロセスを用いて、前記部分

空乏化トランジスタを形成する部分のシリコンの不純物濃度と、前記完全空乏化トランジスタを形成する部分のシリコンの不純物濃度とを異なるようにして、前記同一のSOI基板上に前記部分空乏化トランジスタと前記完全空乏化トランジスタとを作り分けることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路技術に関し、特にSOI (Silicon On Insulator)基板上に作製したLSIにおいて、このSOI基板の利点を活かした部分空乏化トランジスタと完全空乏化トランジスタとの形成に好適な半導体集積回路装置およびそれを用いたコンピュータシステム、ならびに半導体集積回路装置の製造方法に適用して有効な技術に関する。

【0002】

【従来の技術】たとえば、発明者が検討したところによれば、SOI基板上に作製したLSIにおいては、完全な素子分離が可能となるために配線-基板間の寄生容量や拡散層容量などが低減でき、半導体集積回路装置の動作速度を向上させることができるので、バルクLSIに比べて低電力・高速化の可能性が秘められていることが考えられる。

【0003】このようなSOI基板上に作製した半導体集積回路技術としては、たとえば「IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 29, NO. 11, NOVEMBER 1994 P1323-P1329」などに記載される技術などが挙げられる。

【0004】

【発明が解決しようとする課題】ところで、前記のようなSOI基板上に作製した半導体集積回路技術においては、SOI基板の性能を引き出すには完全空乏化トランジスタが必要であるが、この完全空乏化トランジスタは耐圧が低いということが考えられる。特にSOI基板を用いたLSIにおいては、低電力・高速化とともに、ドレイン耐圧の確保がLSI化に重要であることが本発明者による検討の結果明らかとなっている。

【0005】そこで、本発明の目的は、完全空乏化トランジスタと部分空乏化トランジスタとを同一基板上に形成することによって、完全空乏化トランジスタを用いて高速化と低電力を両立させ、かつ部分空乏化トランジスタを用いて耐圧を確保することができる半導体集積回路装置およびそれを用いたコンピュータシステム、ならびに半導体集積回路装置の製造方法を提供することにある。

【0006】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、

以下のとおりである。

【0008】すなわち、本発明の半導体集積回路装置は、SOI基板上に所定の集積回路が作製される半導体集積回路装置に適用されるものであり、前記集積回路のうち、外部インターフェースやDRAMのワード線昇圧回路のような高耐圧が必要な回路は部分空乏化トランジスタを用いて構成し、かつそれ以外の降圧した電圧しか印加されない低電力・高速化が必要な回路は完全空乏化トランジスタを用いて構成するものであり、特にDRAMまたはSRAMなどの半導体記憶装置に適用するよう

にしたものである。

【0009】さらに、本発明のコンピュータシステムは、前記半導体集積回路装置または半導体記憶装置に加えて、少なくとも、中央処理装置およびその周辺回路などを有するものである。

【0010】また、本発明の半導体集積回路装置の製造方法は、SOI基板上に作製される所定の集積回路を、高耐圧が必要な回路と低電力・高速化が必要な回路とに区別し、同一のSOI基板上に、高耐圧が必要な回路を部分空乏化トランジスタを用いて作製し、かつ低電力・

高速化が必要な回路を完全空乏化トランジスタを用いて作製するものである。

【0011】具体的に、前記部分空乏化トランジスタまたは完全空乏化トランジスタを同一のSOI基板上に作り分ける際には、イオン打ち込みの条件を変えて打ち分けたり、LOCOS形成プロセスと同様のプロセス（リセスアレー）を用いたり、さらにはSOI基板の埋め込み酸化膜中に局所的に不純物を導入し、そこから埋め込み酸化膜上の単結晶シリコン薄膜中に熱拡散により不純物を導入するプロセスを用いて、シリコンの不純物濃度

または膜厚が異なるようにしたものである。

【0012】すなわち、部分空乏化トランジスタまたは完全空乏化トランジスタにおいて、完全空乏化トランジスタは、SOI基板の利点を最も活かせるトランジスタであるが、ドレイン耐圧が低いという欠点があり、これに対して部分空乏化トランジスタは、トランジスタとしての性能は完全空乏化トランジスタに比べて劣るものの、ドレイン耐圧の確保が可能である。

【0013】よって、本発明によれば、完全空乏化トランジスタと部分空乏化トランジスタとを同一のSOI基板上に形成することを可能にして、内部で降圧した電圧しか印加されない回路には完全空乏化トランジスタを用いて高速化と低電力を両立させ、かつ外部インターフェースやDRAMのワード線昇圧回路のような高耐圧が必要になる回路には部分空乏化トランジスタを用いて耐圧を確保することができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0015】（実施の形態1）図1は本発明の実施の形

態1である半導体集積回路装置を示す概略機能ブロック図、図2は本実施の形態1におけるデータ出力回路の一例を示す回路図、図3～図10は本実施の形態1におけるMOSトランジスタの製造工程を示す断面図である。

【0016】まず、図1により本実施の形態1の半導体集積回路装置の概略構成を説明する。

【0017】本実施の形態1の半導体集積回路装置は、たとえばSOI基板上に所定の集積回路が作製される半導体集積回路装置とされ、内部回路1、入出力インターフェース2、降圧回路3などからなり、内部で降圧した電圧しか印加されない内部回路1は完全空乏化トランジスタのみを用いて構成され、入出力インターフェース2や外部電源の降圧回路3、さらに内部回路1の高耐圧が必要の高耐圧部4は部分空乏化トランジスタを含んで構成され、これらの完全空乏化トランジスタと部分空乏化トランジスタとが同一のSOI基板上に形成されている。

【0018】なお、入出力インターフェース2や降圧回路3は回路を工夫することによって、トランジスタのソース・ドレイン間に外部電源の電圧がそのままかからないようにすることもできるため、その場合に部分空乏化トランジスタを使う部分は、内部回路1の高耐圧を必要とする高耐圧部4の回路ブロック、たとえばDRAMでいえばワード線電圧昇圧回路などに限られる。

【0019】具体的に、内部回路1と入出力インターフェース2におけるデータ出力回路は、たとえば図2に示すように公知のキャパシタ昇圧型とされ、図中左半分が内部回路1の出力部5であり、この部分は降圧された電源を用いて動作するために完全空乏化トランジスタが使用される。この内部回路1からのデータ出力信号RD、/RDは、出力段の活性化信号φとともにANDゲートを介して論理積動作により出力されている。

【0020】一方、図2における右半分は入出力インターフェース2の外部出力部6であり、電源は外部の電源をそのまま使用し、従ってトランジスタのソース・ドレイン間に外部の高い電圧がそのまま印加されるため、高耐圧の部分空乏化トランジスタが使用される。この外部出力部6においては、内部回路1からのデータ出力信号がそれぞれnMOSTランジスタに入力され、さらに直列接続された遅延回路τ1およびキャパシタに並列に接続されるインバータとCMOSTランジスタ、遅延回路τ2のみを介してそれぞれnMOSTランジスタに接続され、これらのnMOSTランジスタの接続ノードから外部へのデータ信号が出力されている。

【0021】次に、本実施の形態1の作用について、前記半導体集積回路装置の要部を構成するMOSトランジスタの製造工程を図3～図10により説明する。

【0022】始めに、図3～図10のMOSトランジスタの素子断面図において、左側のMOSトランジスタはチャネル領域のドーパント濃度が低いため、領域全体が

空乏化している完全空乏化トランジスタである。これに対して、右側のMOSトランジスタは、チャネル領域にドーパント濃度が高い領域を有するため、チャネル領域は部分的にしか空乏化しない部分空乏化トランジスタである。つまり、前記2種類のトランジスタはイオン打ち込み条件を変化させることで同一のSOI基板上に形成されている。

【0023】以下、nチャネルについて、本実施の形態1のMOSトランジスタの製造方法を説明する。なお、pチャネルについても、ドーパントの導電型を逆にすれば同じ工程で作ることができるので、フォトリソ工程を加えることにより同一のSOI基板上に相補型の回路を形成することも可能である。

【0024】まず、たとえばシリコン単結晶7の上層にSiO<sub>2</sub>からなる埋め込み酸化膜8が形成され、さらにその上層に単結晶シリコン薄膜9が形成されているSOI基板10の表面を酸化してSiO<sub>2</sub>の酸化膜11を形成する。そして、その上層に、たとえばSi<sub>3</sub>N<sub>4</sub>などのシリコン窒化膜12を堆積し、フォトリソ工程を用いて素子領域となる部分以外を覆っているシリコン窒化膜12を除去する(図3)。

【0025】その後、熱酸化を行い、図3のシリコン窒化膜12の開口部に相当する部分に、たとえばSiO<sub>2</sub>からなる素子分離酸化膜13を形成する(図4)。そして、シリコン窒化膜12をウェットエッチングで除去し、さらに酸化膜11を除去した後、改めてSiO<sub>2</sub>などの酸化膜14を熱酸化で形成する(図5)。

【0026】続いて、図5のように完全空乏化トランジスタを形成する素子領域の部分にレジストマスク15をかけて、部分空乏化トランジスタを形成する素子領域にのみ、高濃度不純物層16をイオン打ち込みで形成する。具体的には、p型不純物であるボロンをピーク濃度が約 $1 \times 10^{18} \text{ cm}^{-3}$ で、単結晶シリコン薄膜9と埋め込み酸化膜8の界面で濃度が最大になるように打ち込む。

【0027】そして、多結晶シリコン膜17とシリコン酸化膜18を公知のCVD法で堆積する(図6)。この多結晶シリコン膜17は後にゲート電極となるため、堆積時に不純物導入を一緒に行うか、もしくは堆積後、シリコン酸化膜18を堆積する前に、イオン打ち込みをして活性化アニールをするなどの処理を行う。

【0028】さらに、フォトリソ工程を用いて、シリコン酸化膜18および多結晶シリコン膜17をゲート電極19、20の形状に図7のように加工する。そして、ゲート電極19、20をマスクとして、たとえばn型不純物であるヒ素などのイオン打ち込みを行い、ソース・ドレイン21を形成する(図7)。

【0029】続いて、酸化膜22を公知のCVD法で堆積する(図8)。この状態で異方性ドライエッチングを行うと、図9のようにゲート電極19、20の側壁にの

み側壁酸化膜23が残る。そして、ゲート電極19、20をマスクとして2回目のソース・ドレインのイオン打ち込みを行い、ソース・ドレイン24を形成する。この2回目のイオン打ち込みは、ソース・ドレイン24を低抵抗化するためのものである。

【0030】最後に、たとえばSiO<sub>2</sub>などからなる層間絶縁膜25を堆積して、前記のゲート電極19、20、ソース・ドレイン24に向けてコンタクト孔を開孔し、このコンタクト孔にアルミニウムやタングステンなどの金属26を埋め戻し、配線27を形成して半導体装置が完成する(図10)。

【0031】以上のようにして、イオン打ち込みの条件を変えて打ち分けることで、図10において左側のMOSトランジスタはチャネル領域のドーパント濃度が低いいため、領域全体が空乏化している完全空乏化トランジスタ28となり、右側のMOSトランジスタは、チャネル領域にドーパント濃度が高い領域を有するため、チャネル領域は部分的にしか空乏化しない部分空乏化トランジスタ29となる。

【0032】従って、本実施の形態1の半導体集積回路装置によれば、完全空乏化トランジスタ28と部分空乏化トランジスタ29とを不純物濃度が異なるようにして同一のSOI基板10上に形成することができるので、SOI基板10の利点を最も活かせる完全空乏化トランジスタ28を用いて高速化と低電力を両立させ、かつこの完全空乏化トランジスタ28の欠点を補う部分空乏化トランジスタ29を用いてドレイン耐圧の確保を可能とすることができる。

【0033】特に、本実施の形態1の製造方法においては、不純物濃度を変えて完全空乏化トランジスタ28と部分空乏化トランジスタ29を形成することができるので、製造プロセスの面において、製造工程の増加を最低限に抑えて簡単に半導体集積回路装置の形成が可能となる。

【0034】なお、この半導体集積回路装置は、たとえばDRAMまたはSRAMなどに適用し、ワード線昇圧回路のような高耐圧が必要な回路に部分空乏化トランジスタ29を用いることによって、高速化と低電力、耐圧の確保が可能とされる半導体記憶装置を実現することができる。

【0035】(実施の形態2) 図11～図14は本発明の実施の形態2である半導体集積回路装置におけるMOSトランジスタの製造工程を示す断面図である。

【0036】本実施の形態2の半導体集積回路装置は、前記実施の形態1と同様にSOI基板上に所定の集積回路が作製される半導体集積回路装置とされ、実施の形態1との相違点は、LOCOS形成プロセスと同様のプロセス(リセスアレー)を用いて、部分空乏化トランジスタを形成する部分のシリコンの膜厚と、完全空乏化トランジスタを形成する部分のシリコンの膜厚とを異なるよ

うにして、同一のSOI基板上に部分空乏化トランジスタと完全空乏化トランジスタとを作り分けて形成するようにした点である。

【0037】すなわち、本実施の形態2の半導体集積回路装置では、図11～図14のMOSトランジスタの素子断面図において、左側のMOSトランジスタはチャネル領域の膜厚が薄いため、領域全体が空乏化している完全空乏化トランジスタである。これに対して、右側のMOSトランジスタは、チャネル領域の膜厚が厚いため、チャネル領域は部分的にしか空乏化しない部分空乏化トランジスタである。つまり、前記2種類のトランジスタは埋め込み酸化膜上の単結晶シリコン薄膜の膜厚を変化させることで同一のSOI基板上に形成されている。

【0038】以下、nチャネルについて、本実施の形態2のMOSトランジスタの製造方法を説明する。pチャネルについても、ドーパントの導電型を逆にすれば、同じ工程で作ることができるので、フォトリソ工程を加えることにより同一のSOI基板上に相補型の回路を形成することも可能である。

【0039】まず、たとえばシリコン単結晶7aの上層にSiO<sub>2</sub>からなる埋め込み酸化膜8aが形成され、さらにその上層に単結晶シリコン薄膜9aが形成されているSOI基板10aの表面を酸化して酸化膜11aを形成する(図11)。そして、公知の選択酸化法を用いて、完全空乏化トランジスタを形成する領域と、部分空乏化トランジスタを形成する領域の単結晶シリコン薄膜9aに差を設ける。

【0040】つまり、酸化膜11a上にシリコン窒化膜12aを堆積して、フォトリソ工程とエッチングによって部分空乏化トランジスタを形成する部分のシリコン窒化膜12aを残し、完全空乏化トランジスタを形成する部分のシリコン窒化膜12aを除去して洗浄する。

【0041】その後、熱酸化を行って、完全空乏化トランジスタを形成する部分のシリコン酸化膜30を形成する(図12)。このとき、シリコン酸化膜30と埋め込み酸化膜8aの間に残る単結晶シリコン薄膜9aが完全空乏化トランジスタの素子領域となるので、熱酸化によりこの単結晶シリコン薄膜9aが消失しないように酸化条件を調整する。

【0042】続いて、シリコン窒化膜12aとシリコン酸化膜30をウェットエッチングにより除去すると、所望の膜厚差を有するSOI基板10aとなる(図13)。これ以降は、前記実施の形態1と同様に、素子分離工程、ゲート形成工程、ソース・ドレイン形成工程、層間絶縁膜形成工程、配線工程により、図14に示す半導体装置が完成する。

【0043】すなわち、図14に示すように、SOI基板10a上には、素子分離酸化膜13a、シリコン酸化膜および多結晶シリコンによるゲート電極19a、20a、ソース・ドレイン21a、ゲート電極19a、20

aの側壁酸化膜23a、ソース・ドレイン24a、層間絶縁膜25aが順に形成され、最後にゲート電極19a、20a、ソース・ドレイン24aに向けて開口されたコンタクト孔に金属26aを埋め戻し、配線27aを形成することによって完成される。

【0044】以上のようにして、LOCOS形成プロセスと同様のプロセスを用いて、図14において左側のMOSトランジスタはチャネル領域の膜厚が薄いため、領域全体が空乏化している完全空乏化トランジスタ28aとなり、右側のMOSトランジスタは、チャネル領域の膜厚が厚いため、チャネル領域は部分的にしか空乏化しない部分空乏化トランジスタ29aとなる。

【0045】従って、本実施の形態2の半導体集積回路装置によれば、完全空乏化トランジスタ28aと部分空乏化トランジスタ29aとを膜厚が異なるようにして同一のSOI基板10a上に形成することができるので、前記実施の形態1と同様にSOI基板10aの利点を最も活かせる完全空乏化トランジスタ28aを用いて高速化と低電力を両立させ、かつこの完全空乏化トランジスタ28aの欠点を補う部分空乏化トランジスタ29aを用いてドレイン耐圧の確保が可能となる。

【0046】特に、本実施の形態2の製造方法においては、膜厚を変えて完全空乏化トランジスタ28aと部分空乏化トランジスタ29aを形成することができるので、半導体集積回路装置の設計面において、設計制御が容易に可能となる。

【0047】以上、本発明者によってなされた発明を発明の実施の形態1～2に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0048】たとえば、前記実施の形態1の半導体集積回路装置については、ボロンを単結晶シリコン薄膜と埋め込み酸化膜の界面で濃度が最大になるようにし、イオン打ち込み条件を変化させることで不純物濃度が異なるようにする場合について説明したが、本発明は前記実施の形態に限定されるものではなく、ボロンが完全に埋め込み酸化膜中に入ってしまうエネルギー条件でイオン打ち込みを行い、後続の熱工程の結果、埋め込み酸化膜からの不純物拡散により不純物層を形成する場合についても適用可能である。

【0049】この場合には、前記実施の形態1に比べてより急峻な不純物分布を形成することが可能となり、しきい電圧の調整や短チャネル効果の抑制にも有利である。また、製造プロセスおよび設計の面においても、前記実施の形態1および2に比べて効果は小さいものの、製造プロセスの簡単化、設計の容易化を図ることができる。

【0050】さらに、DRAMまたはSRAMなどの記憶装置単位で使用される場合に限らず、たとえばコンピ

ュータシステム、デジタル・スチル・カメラシステム、自動車システムなどの各種システムの記憶装置として広く用いられ、一例として図15によりコンピュータシステムについて説明する。

【0051】図15において、このコンピュータシステムは、バスと中央処理装置CPU、周辺装置制御部、主記憶メモリとしての本発明のDRAMおよびその制御部、バックアップメモリとしてのSRAMおよびバックアップバリティとその制御部、プログラムが格納されているROM、表示系などによって構成されている。

【0052】前記周辺装置制御部は外部記憶装置およびキーボードKBなどと接続されている。また、表示系はビデオRAM (VRAM) などによって構成され、出力装置としてのディスプレイと接続されることによってVRAM内の記憶情報の表示が行われる。また、コンピュータシステムの内部回路に電源を供給するための電源供給部が設けられている。

【0053】前記中央処理装置CPUは、各メモリを制御するための信号を形成することによって前記各メモリの動作タイミング制御を行う。ここでは、前記発明を主記憶メモリとしてのDRAMに適用した例について説明したが、前記表示系のVRAMがマルチポートVRAMであった場合、前記VRAMのランダムアクセス部に適用することも可能である。

【0054】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0055】(1).完全空乏化トランジスタと部分空乏化トランジスタを同一のSOI基板上に形成することができるので、内部で降圧した電圧しか印加されない回路には完全空乏化トランジスタを用いて高速化と低電力を両立させ、外部インターフェースのような高耐圧が必要になる回路には部分空乏化トランジスタを用いて耐圧を確保することが可能となり、SOI基板を用いる利点を最大限に活かし、かつ総合的な回路性能の向上を図ることが可能となる。

【0056】(2).部分空乏化トランジスタと完全空乏化トランジスタとを同一のSOI基板上に作り分ける際に、イオン打ち込みの条件を変えて不純物濃度が異なるようにすることで、製造工程の増加を最低限に抑えて簡単な製造プロセスによる半導体集積回路装置の形成が可能となる。

【0057】(3).部分空乏化トランジスタと完全空乏化トランジスタとを同一のSOI基板上に作り分ける際に、LOCOS形成プロセスと同様のプロセス(リセスアレー)を用いて膜厚が異なるようにすることで、設計制御を容易にして容易な設計による半導体集積回路装置の形成が可能となる。

【0058】(4).部分空乏化トランジスタと完全空乏化

トランジスタとを同一のSOI基板上に作り分ける際に、SOI基板の埋め込み酸化膜中に局所的に不純物を導入し、そこから埋め込み酸化膜上の単結晶シリコン薄膜中に熱拡散により不純物を導入するプロセスを用いて不純物濃度が異なるようにすることで、半導体集積回路装置の形成における製造プロセスの簡単化、設計の容易化が可能となる。

【0059】(5).前記(1)～(4)により、SOI基板の利点を活かした部分空乏化および完全空乏化トランジスタの形成、さらに製造プロセスおよび設計の面における効果を最大限に取り入れた半導体集積回路装置、特にDRAMまたはSRAMなどの半導体記憶装置に良好な製造方法を得ることができ、さらにこれを用いた低電力・高速化などによる機能性の向上が可能なコンピュータシステムなどの各種システムを得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置を示す概略機能ブロック図である。

【図2】実施の形態1におけるデータ出力回路の一例を示す回路図である。

【図3】実施の形態1におけるMOSトランジスタの製造工程を示す断面図である。

【図4】実施の形態1におけるMOSトランジスタの製造工程(図3に続く)を示す断面図である。

【図5】実施の形態1におけるMOSトランジスタの製造工程(図4に続く)を示す断面図である。

【図6】実施の形態1におけるMOSトランジスタの製造工程(図5に続く)を示す断面図である。

【図7】実施の形態1におけるMOSトランジスタの製造工程(図6に続く)を示す断面図である。

【図8】実施の形態1におけるMOSトランジスタの製造工程(図7に続く)を示す断面図である。

【図9】実施の形態1におけるMOSトランジスタの製造工程(図8に続く)を示す断面図である。

【図10】実施の形態1におけるMOSトランジスタの製造工程(図9に続く)を示す断面図である。

【図11】本発明の実施の形態2である半導体集積回路装置におけるMOSトランジスタの製造工程を示す断面図である。

【図12】実施の形態2である半導体集積回路装置におけるMOSトランジスタの製造工程(図11に続く)を示す断面図である。

【図13】実施の形態2である半導体集積回路装置におけるMOSトランジスタの製造工程(図12に続く)を示す断面図である。

【図14】実施の形態2である半導体集積回路装置におけるMOSトランジスタの製造工程(図13に続く)を示す断面図である。

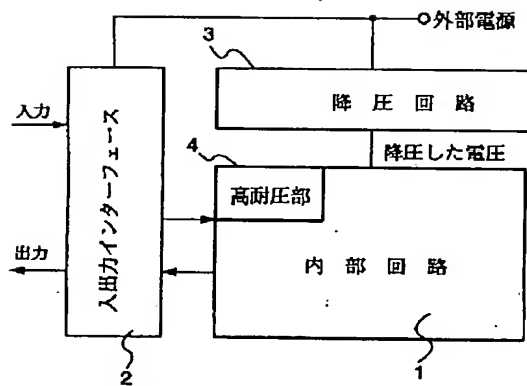
【図15】本発明である半導体集積回路装置を用いたコンピュータシステムを示す機能ブロック図である。

## 【符号の説明】

- 1 内部回路
- 2 入出力インターフェース
- 3 降圧回路
- 4 高耐圧部
- 5 出力部
- 6 外部出力部
- 7, 7a シリコン単結晶
- 8, 8a 埋め込み酸化膜
- 9, 9a 単結晶シリコン薄膜
- 10, 10a SOI基板
- 11, 11a 酸化膜
- 12, 12a シリコン窒化膜
- 13, 13a 素子分離酸化膜
- 14 酸化膜

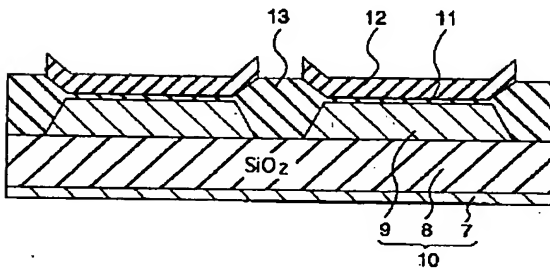
【図1】

図 1



【図4】

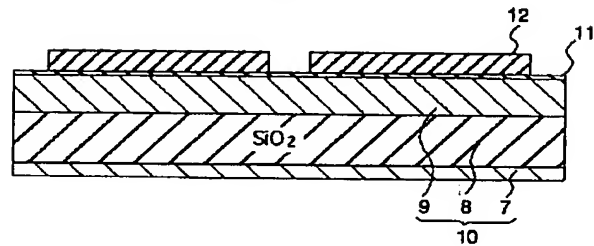
図 4



- \* 15 レジストマスク
- 16 高濃度不純物層
- 17 多結晶シリコン膜
- 18 シリコン酸化膜
- 19, 19a, 20, 20a ゲート電極
- 21, 21a ソース・ドレイン
- 22 酸化膜
- 23, 23a 側壁酸化膜
- 24, 24a ソース・ドレイン
- 10 25, 25a 層間絶縁膜
- 26, 26a 金属
- 27, 27a 配線
- 28, 28a 完全空乏化トランジスタ
- 29, 29a 部分空乏化トランジスタ
- \* 30 シリコン酸化膜

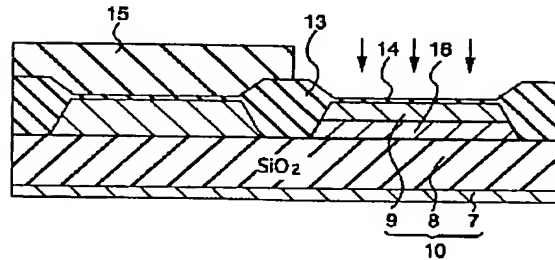
【図3】

図 3



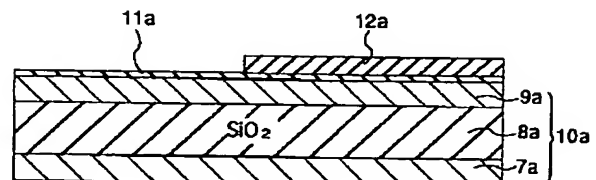
【図5】

図 5



【図11】

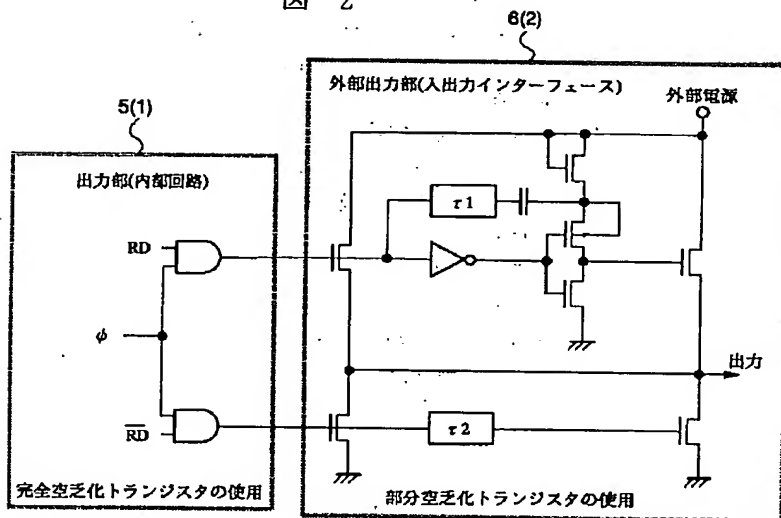
図 11





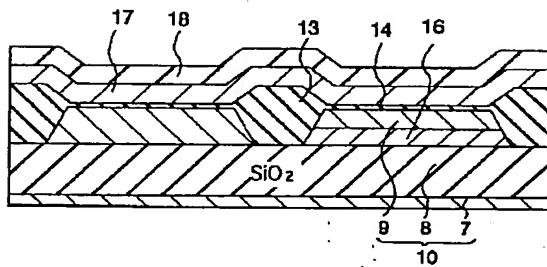
【図2】

図 2



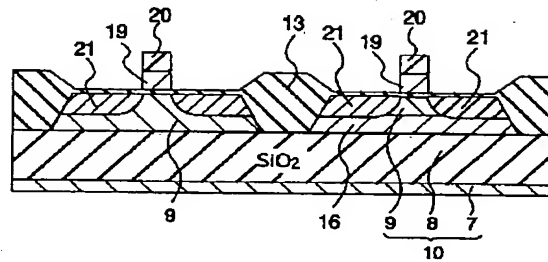
【図6】

図 6



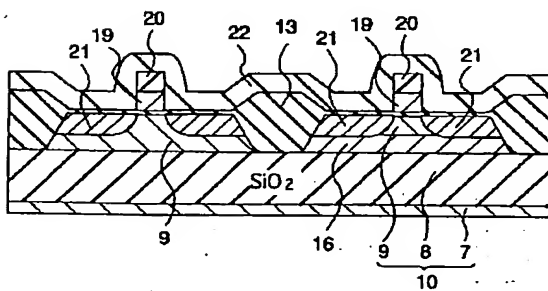
【図7】

図 7



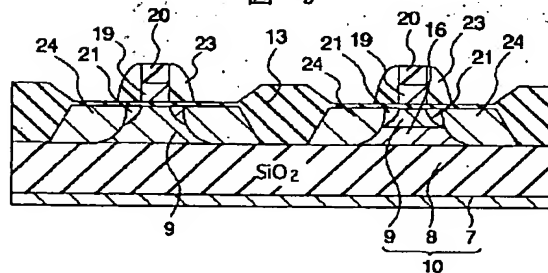
【図8】

図 8



【図9】

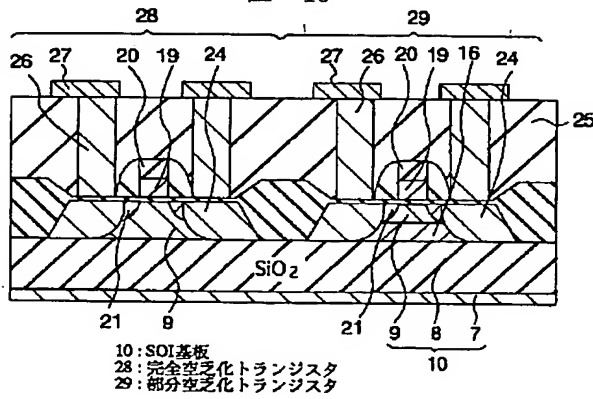
図 9





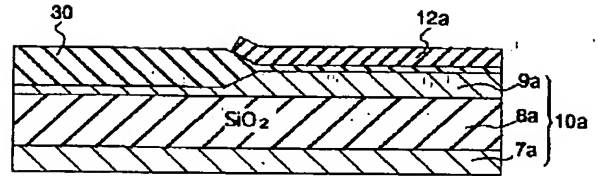
【図10】

図 10



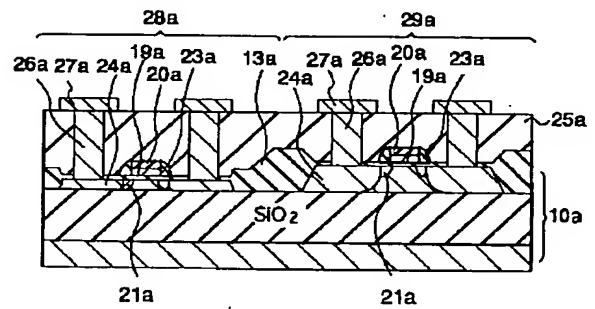
【図12】

図 12



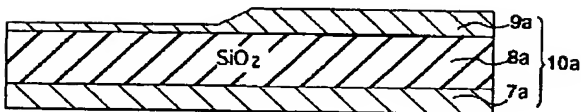
【図14】

図 14



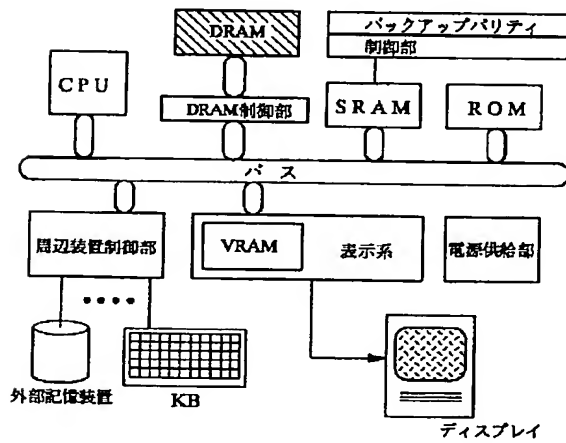
【図13】

図 13



【図15】

図 15



フロントページの続き

(51)Int.Cl.<sup>8</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 27/10

681F

29/78

618D

(72)発明者 出井 陽治

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内